

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-231020

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

G01R 31/26

(21)Application number : 10-302747

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 23.10.1998

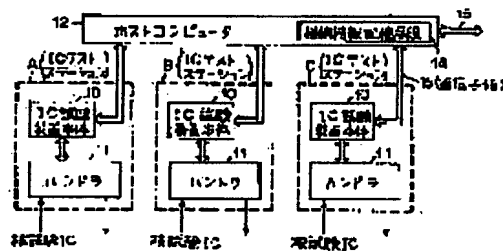
(72)Inventor : NEMOTO MAKOTO  
KOBAYASHI YOSHIHITO  
NAKAMURA HIROTO  
ONISHI TAKESHI  
IKEDA HIROKI

## (54) IC TEST SYSTEM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an IC test system capable of efficiently making use of an IC test device.

**SOLUTION:** In IC test stations A-C constituted of handlers 11 carrying IC and IC test device main bodies 10 testing operation of IC connected to test heads carried by the handlers 11, the respective handlers 11 transfer the tested IC from test trays to widely used trays without classifying into excellent articles and rejected articles by the respective handlers 11. The tested results of the respective IC are stored in a housing information memory means 14 corresponding to the positions on the respective widely used trays, so that the housing information stored in this housing information memory means 14 can be utilized for a device except the handlers.



## LEGAL STATUS

[Date of request for examination] 18.04.2003

[Date of sending the examiner's decision of rejection] 18.07.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2006-17934

[Date of requesting appeal against examiner's] 17.08.2006

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-231020

(43) 公開日 平成11年(1999) 8月27日

(51) IntCl.<sup>6</sup>

G 0 1 R 31/26

識別記号

F I

G 0 1 R 31/26

Z

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平10-302747  
(62) 分割の表示 特願平8-116170の分割  
(22) 出願日 平成8年(1996) 5月10日

(71) 出願人 390005175  
株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号  
(72) 発明者 根本 眞  
東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内  
(72) 発明者 小林 義仁  
東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内  
(72) 発明者 中村 浩人  
東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内  
(74) 代理人 弁理士 草野 卓 (外1名)

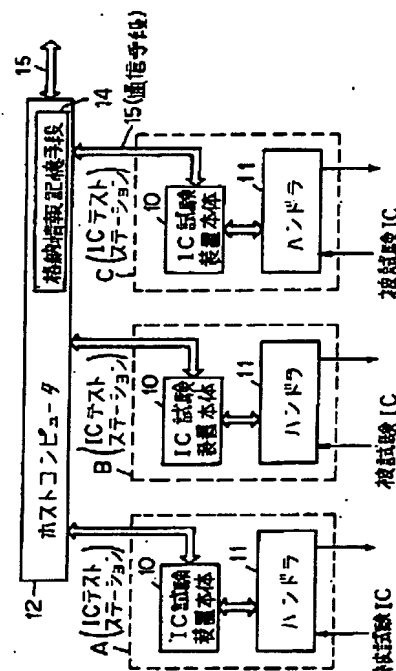
最終頁に続く

(54) 【発明の名称】 I C試験システム

(57) 【要約】

【課題】 I C試験装置を効率よく運用することができる I C試験システムを得る。

【解決手段】 I Cを搬送するハンドラ11と、ハンドラで搬送されてテストヘッドに接続された I Cの動作を試験する I C試験装置本体10とによって構成される I Cテストステーションにおいて、各ハンドラは良品と不良品の別を仕分けすることなく、テストトレイから汎用トレイに試験済 I Cを移し、各 I Cの試験結果を各汎用トレイ上の位置に対応させて格納情報記憶手段に記憶させ、この格納情報記憶手段に記憶した格納情報をハンドラ以外の装置で利用できるように構成した。



## 【特許請求の範囲】

【請求項 1】 被試験 IC をハンドラによって汎用トレイから取り出してテスト部に順次搬送し、テスト部において被試験 IC を試験装置本体に電氣的に接続し、被試験 IC の動作を試験すると共に、試験終了後は上記テスト部から試験済 IC を搬出し、上記汎用トレイに格納する IC 試験システムにおいて、格納情報記憶手段を設け、この格納情報記憶手段に各試験済 IC の試験結果、各試験済 IC 自体に予め付された情報、格納する汎用トレイの番号及び各試験済 IC が通過した試験装置内の通過情報を汎用トレイ内の各格納位置に対応付けして記憶させると共に、この記憶情報を外部に供給する情報供給手段を付設したことを特徴とする IC 試験システム。

【請求項 2】 被試験 IC をハンドラによって汎用トレイから取り出してテスト部に順次搬送し、テスト部において被試験 IC を試験装置本体に電氣的に接続し、被試験 IC の動作を試験すると共に、試験終了後は上記テスト部から試験済 IC を搬出し、上記汎用トレイに格納する IC 試験システムにおいて、格納情報記憶手段を設け、この格納情報記憶手段に各試験済 IC の試験結果、各試験済 IC 自体に予め付された情報及び各試験済 IC が通過した試験装置内の通過情報を試験済 IC が上記汎用トレイに格納される毎に、その格納位置に対応付けして記憶させると共に、上記格納情報を外部に供給する供給手段を付加したことを特徴とする IC 試験システム。

【請求項 3】 被試験 IC をハンドラによって汎用トレイから取り出してテスト部に順次搬送し、テスト部において被試験 IC を試験装置本体に電氣的に接続し、被試験 IC の動作を試験すると共に、試験終了後は上記テスト部から試験済 IC を搬出し、IC 分類手段によって試験結果に従って IC を分類し上記汎用トレイに格納する IC 試験システムにおいて、

上記 IC 分類手段は試験結果に従って上記試験済 IC を良品と不良品に分類して汎用トレイに格納すると共に、格納情報記憶手段を設け、この格納情報記憶手段に上記各試験済 IC の試験結果、各試験済 IC 自体に予め付された情報及び各試験済 IC が通過した試験装置内の通過情報を汎用トレイ内の各格納位置に対応付けして記憶させると共に、この記憶情報を外部に供給する情報供給手段を付設したことを特徴とする IC 試験システム。

【請求項 4】 被試験 IC をハンドラによって汎用トレイから取り出してテスト部に順次搬送し、テスト部において被試験 IC を試験装置本体に電氣的に接続し、被試験 IC の動作を試験すると共に、試験終了後は上記テスト部から試験済 IC を搬出し、IC 分類手段によって試験結果に従って IC を分類し、上記汎用トレイに格納する IC 試験システムにおいて、

上記 IC 分類手段は試験結果に従って上記試験済 IC を

良品と不良品に分類して汎用トレイに格納すると共に、格納情報記憶手段を設け、この格納情報記憶手段に上記各試験済 IC の試験結果、各試験済 IC 自体に予め付された情報及び各試験済 IC が通過した試験装置内の通過情報を試験済 IC が上記汎用トレイに格納される毎に各汎用トレイ内の各格納位置に対応付けして記憶させると共に、この記憶情報を外部に供給する情報供給手段を付設したことを特徴とする IC 試験システム。

【請求項 5】 請求項 1 乃至 4 記載の IC 試験システムの何れかにおいて、被試験 IC はローダ部において汎用トレイからテストトレイに積み替えられ、テストトレイに格納された状態でテスト部に搬送され、テスト部で試験された後はテストトレイに格納されたままアンローダ部に搬出され、アンローダ部においてテストトレイから汎用トレイに積み替えを行なう構造のハンドラに適用することを特徴とする IC 試験システム。

【請求項 6】 請求項 1 乃至 4 記載の IC 試験システムの何れかにおいて、被試験 IC は汎用トレイから水平搬送手段に支持された真空吸着手段によって吸着されてテスト部に搬送され、テスト部から汎用トレイに戻される構造のハンドラに適用することを特徴とする IC 試験システム。

【請求項 7】 請求項 1 乃至 6 記載の IC 試験システムの何れかにおいて、試験条件が異なる IC 試験装置を複数並設し、この複数の IC 試験装置で IC が試験される毎に上記格納情報記憶手段に格納情報を記憶する構成としたことを特徴とする IC 試験システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は例えば半導体メモリのような IC を試験し、良品と不良品に分類する IC 試験システムに関する。

## 【0002】

【従来の技術】IC は集積度の向上と共に、端子数が多くなり、IC を傾斜した搬送路で滑走させる自然落下式の搬送方法で搬送することが難しい状況になっている。このため最近のハンドラは IC を真空吸着ヘッドで吸着し、X-Y 搬送手段で任意の場所に搬送する水平搬送方式が採られている。

## 【0003】水平搬送方式のハンドラには、

① 多数の IC を平面状に格納したトレイから、IC を真空吸着ヘッドで吸着し、この吸着した IC を X-Y 搬送手段によって予熱部、テスト部へと順次搬送して試験を行ない、試験済の IC を良品、不良品に仕分けしながらトレイに戻す型式のものと、

② ハンドラの外部で IC を収納して流通させるための汎用トレイをハンドラに与え、汎用トレイからテストトレイに IC を乗せ替え、IC を搭載したテストトレイを恒温槽を経由してテスト部に搬送し、テストトレイに IC を格納したまま、テスト部で IC を試験し、試験後は

除熱槽を経由してアンローダ部にテストトレイを搬出させ、アンローダ部でICをテストトレイから汎用トレイに良品、不良品に仕分けしながら戻す型式のものが実用されている。

【0004】①の型式のハンドラは一度にテストできるICの数が2～4個程度に制限されるため高速処理に適していない。この点②の型式のハンドラはICをテストトレイに格納した状態でテスト用ソケットに接触させるため、一度に16個或は32個、64個等、多くの数のICをテストすることができる。従って①の型式のハンドラはピン数が多いCPUのようなICを試験する場合に用いられ、②の型式のハンドラはピン数が比較的小さいメモリのようなICを試験する場合に用いられている。

【0005】図3乃至図9を用いて②の型式のハンドラの概略の構成を説明する。図3は略線の平面図を示す。図中100はテストヘッドを含むチャンバ部、200はこれから試験を行なう被試験ICを格納し、また試験済のICを分類して格納するIC格納部、300は被試験ICをチャンバ部100に送り込むローダ部、400はチャンバ部100で試験が行なわれた試験済のICを分類して取出すアンローダ部、TSTはローダ部300で被試験ICが積み込まれてチャンバ部100に送り込まれ、チャンバ部100でICを試験し、試験済のICをアンローダ部400に運び出すIC搬送用のテストトレイを示す。

【0006】チャンバ部100はテストトレイTSTに積み込まれた被試験ICに目的とする高温又は低温の温度ストレスを与える恒温槽101と、この恒温槽101で熱ストレスが与えられた状態にあるICをテストヘッドに接触させるテストチャンバ102と、テストチャンバ102で試験されたICから、与えられた熱ストレスを除去する除熱槽103とによって構成される。つまり、恒温槽101で高温を印加した場合は送風により冷却し、室温に戻してアンローダ部400に搬出する。また恒温槽101で例えば-30℃程度の低温を印加した場合は温風乃至はヒータ等で加熱し、結露が生じない程度の温度に戻してアンローダ部400に搬出する。

【0007】恒温槽101及び除熱槽103はテストチャンバ102より上方に突出されて配置される。恒温槽101と除熱槽103の上部間に図5に示すように基板105が差し渡され、この基板105にテストトレイ搬送手段108が装着され、このテストトレイ搬送手段108によってテストトレイTSTが、除熱槽103側から恒温槽101に向かって移送される。テストトレイTSTはローダ部300で被試験ICを積み込み、恒温槽101に運び込まれる。恒温槽101には垂直搬送手段が装着されており、この垂直搬送手段によって複数枚のテストトレイTSTが支持されてテストチャンバ102が空くまで待機する。この待機中に被試験ICに高温又は低

温の温度ストレスを印加する。テストチャンバ102にはその中央にテストヘッド104が配置され、テストヘッド104の上にテストトレイTSTが運ばれて被試験ICをテストヘッド104に電氣的に接触させ試験を行なう。試験が終了したテストトレイTSTは除熱槽103で除熱し、ICの温度を室温に戻し、アンローダ部400に排出する。

【0008】IC格納部200には被試験ICを格納する被試験ICストック201と、試験の結果に応じて分類されたICを格納する試験済ICストック202とが設けられる。被試験ICストック201には被試験ICを格納した汎用トレイKSTが積層されて保持される。この汎用トレイKSTがローダ部300に運ばれ、ローダ部300に運ばれた汎用トレイKSTからローダ部300に停止しているテストトレイTSTに被試験ICを積み替える。汎用トレイKSTからテストトレイTSTにICを運び込むIC搬送手段としては図4に示すように、基板105の上部に架設した2本のレール301と、この2本のレール301によってテストトレイTSTと汎用トレイKSTとの間を往復（この方向をY方向とする）することができる可動アーム302と、この可動アーム302によって支持され、可動アーム302に沿ってX方向に移動できる可動ヘッド303とによって構成されるX-Y搬送手段304を用いることができる。可動ヘッド303には下向に吸着ヘッドが装着され、この吸着ヘッドが空気を吸引しながら移動し、汎用トレイKSTからICを吸着し、そのICをテストトレイTSTに搬送する。吸着ヘッドは可動ヘッド303に対して例えば8本程度装着され、一度に8個のICをテストトレイTSTに搬送する。

【0009】図5にテストトレイTSTの構造を示す。テストトレイTSTは方形フレーム12に複数のさん13が平行かつ等間隔に形成され、これらさん13の両側、またさん13と対向するフレーム12の辺12aにそれぞれ複数の取付け片14が等間隔に突出形成され、これらさん13の間、またはさん13及び辺12aの間と、2つの取付け片14とによりキャリア収納部15が配列構成されている。各キャリア収納部15にそれぞれ1個のICキャリア16が収納され、2つの取付け片14にファスナ17によりフローティング状態で取付けられる。ICキャリア16は1つのテストトレイTSTに16×4個程度取付けられる。

【0010】ICキャリア16の外形は同一形状、同一寸法をしており、ICキャリア16にIC素子が収納される。IC収納部19は、収容するICの形状に応じて決められる。IC収容部19はこの例では方形凹部とされている。ICキャリア16の両端部にはそれぞれ取付け片14への取付け用穴21と、位置決用ピン挿入用穴22とが形成されている。

【0011】ICキャリア16内のICの位置ずれや飛

出し防止のため、例えば図6に示すようにラッチ23がICキャリア16に取付けられている。ラッチ23はIC収容部19の底面からラッチ23が上方に一体に突出され、ICキャリア16を構成する樹脂材の弾性を利用して、IC素子をIC収容部19に収容する際、又はIC収容部19から取出す際に、IC素子を吸着するIC吸着パッド24と全体としては同時に移動するラッチ解放機構25で2つのラッチ23の間隔を広げた後、ICの収容又は取出しを行う。ラッチ解放機構25をラッチ23から離すと、その弾性力で元状態に戻り、収容されたICはラッチ23で抜け止めされた状態に保持される。

【0012】ICキャリア16は図7に示すようにICのピン18を下面側に露出して保持する。テストヘッド104ではこの露出したICのピン18をICソケットのコンタクト19に押し付け、ICをテストヘッドに電氣的に接触させる。このためにテストヘッド104の上部にはICを下向に抑え付ける圧接子20が設けられ、この圧接子が各ICキャリア16に収納されているICを上方から抑え付け、テストヘッド104に接触させる。

【0013】テストヘッドに一度に接続されるICの数は例えば図8に示すように4行16列に配列されたICを4列おきに4列(斜線部分)を1度に試験を行なう。つまり1回目は1, 5, 9, 13列に配置された16個のICを試験し、2回目はテストトレイTSTを1列分移動させて2, 6, 10, 14列に配置されたICを試験し、これを4回繰返して全てのICを試験する。試験の結果は各ICに割当たシリアル番号(ロット内のシリアル番号)、テストトレイTSTに付された識別番号、テストトレイTSTのIC収納部に割当た番号で決まるアドレスに試験結果を記憶する。

【0014】アンローダ部400にはローダ部300に設けられたX-Y搬送手段304と同一構造の搬送手段404が設けられ、このX-Y搬送手段404によってアンローダ部400に運び出されたテストトレイTSTから試験済のICを汎用トレイKSTに積み替える。図3及び図4に示す例では試験済ICストック202に8個のストックKST-1, KST-2, ..., KST-8を設け、試験結果に応じて最大8つの分類に仕分けして格納できるように構成した場合を示す。つまり、良品と不良品の別の外に、良品の中でも動作速度が高速のもの、中速のもの、低速のもの、或は不良の中でも再試験が必要なものに仕分けされる。仕分け可能なカテゴリーの最大が8種類としても、アンローダ部400には4枚の汎用トレイしか配置することができない。このため、従来はアンローダ部400に配置された汎用トレイKSTに割当られたカテゴリー以外のカテゴリーに分類されるICが発生した場合は、アンローダ部400から1枚の汎用トレイKSTをIC格納部200に戻し、こ

れに代えて新たに発生したカテゴリーのICを格納すべき汎用トレイKSTをアンローダ部400に転送し、そのICを格納する。

【0015】被試験ICストック201及び試験済ICストック202は図9に示すように枠状のトレイ支持枠203と、このトレイ支持枠203の下部から侵入して上部に向って昇降可能とするエレベータ204とを具備して構成される。トレイ支持枠203には汎用トレイKSTが複数積み重ねられて支持され、この積み重ねられた汎用トレイKSTがエレベータ204で上下に移動される。

【0016】被試験ICストック201及び試験済ICストック202の上部には基板105との間において被試験ICストック201と試験済ICストック202

(図4)の配列方向の全範囲にわたって移動するトレイ搬送手段205が設けられる。トレイ搬送手段205には下向に汎用トレイを把持する把持具を装備する。被試験ICストック201の上部にトレイ搬送手段205を移動させ、その状態でエレベータ204を駆動させ、積み重ねた汎用トレイKSTを上昇させる。上昇して来る汎用トレイKSTの最上段のトレイを把持具で把持する。トレイ搬送手段205に被試験ICを格納している汎用トレイKSTを引き渡すと、エレベータ204は下降し、元の位置に戻る。これと共に、トレイ搬送手段205は水平方向に移動し、ローダ部300の位置に運ばれる。この位置でトレイ搬送手段205は把持具から汎用トレイを外し、わずかに下にあるトレイ受(特に図示しない)に汎用トレイKSTを一旦預ける。トレイ受けに汎用トレイKSTを預けたトレイ搬送手段205はローダ部300以外の位置に移動する。この状態で汎用トレイKSTが搭載されている部分の下側からエレベータ204が上昇し、被試験ICを搭載している汎用トレイKSTを上方に上昇させ基板105に形成した窓106に汎用トレイKSTが臨むように支持させる。つまり、窓106の下面周辺には汎用トレイKSTを把持する把持手段(特に図示しない)が設けられ、この把持手段に被試験ICを格納した汎用トレイKSTが把持される。

【0017】アンローダ部400の窓106には空の汎用トレイが保持され、この空の汎用トレイKSTに、各汎用トレイに割当たカテゴリーに従って試験済ICを分類して格納する。窓106の部分に保持された汎用トレイが満杯になると、その汎用トレイKSTはエレベータ204に抑えられ、エレベータ204に支持された状態で把持手段が解除されて窓106の位置からエレベータ204によって降され、トレイ搬送手段205によって自己に割当られたカテゴリーのトレイ格納位置に収納される。尚、図3に示す206は空トレイストックを示す。この空トレイストック206から空のトレイがアンローダ部400の各窓106の位置に配置され、試験済ICの格納に供せられる。

## 【0018】

【発明が解決しようとする課題】 上述したように、IC をテストトレイに積み替えてテスト部に送り込む型式のハンドラを用いた IC 試験システムにあっては、一度にテストできる IC の数を大きく採れるのでテストに要する時間を短くすることができる。これに対し、アンローダ部 400 では一度に 8 個程度の IC をテストトレイから汎用トレイに戻す作業を行なう。然も仕分けしなからの作業となるので、この仕分け作業に時間が掛る欠点がある。このため、アンローダ部 400 には搬送装置を 2 台設けているが、テストに要する時間より仕分けに要する時間の方が長くなってしまふ不都合が生じる。

【0019】 また、従来はテスト結果はテストトレイ TST 上に存在する IC に関して各 IC に割当てたシリアル番号、テストトレイに付した識別番号と共にハンドラに設けた記憶部に格納し、この格納されたデータを用いて汎用トレイ KST に戻す際に分類を実行している。従って汎用トレイ KST に積み込まれた IC はその汎用トレイに割当てた分類（良品、不良品、良品の中の高速で動作する素子、中速で動作する素子、低速で動作する素子等）が解るだけで、汎用トレイ KST を外部に持ち出した状態では汎用トレイ KST 上の IC 個々についての情報がなく、例えばハンドラ以外の装置例えば分類専用機で汎用トレイ上の IC を細分類する等の方法が採れなかった。

【0020】 また従来は複数の IC テストステーションを設置し、各 IC テストステーションで温度の異なる環境下でテストを行う場合、各 IC テストステーションのテスト結果を汎用トレイ上の各 IC について管理して記憶する機能が無いため、各 IC テストステーションでテストした結果、不良のカテゴリに属する汎用トレイに搭載された IC がどの温度のテストステーションで不良になったかを各 IC 毎に知ることはできない。

【0021】 この発明の目的はハンドラから取り出され、汎用トレイに格納された状態にある試験済の IC の各個々に関して試験結果と、各試験済 IC 自体に予め付されたシリアル番号等の情報及び試験済 IC が通過した試験装置内の通過情報を提供し、この情報を利用して試験済 IC を IC 試験装置の外部でも管理することができる IC 試験システムを提供しようとするものである。

## 【0022】

【課題を解決するための手段】 この発明の請求項 1 で提案する IC 試験システムでは、被試験 IC を汎用トレイから取り出してテスト部に順次搬送し、テスト部において被試験 IC を試験装置本体に電氣的に接続し、被試験 IC の動作を試験すると共に試験終了後はテスト部から試験済 IC を搬出し、汎用トレイに格納する IC 試験装置において、IC 試験装置乃至はその上位に位置するホストコンピュータに格納情報記憶手段を設け、この格納情報記憶手段に各 IC に付したシリアル番号、各汎用ト

レイに付した識別番号及び汎用トレイの各 IC 収納部に付した番号で決められるアドレスにこの各収納部に収納した IC の試験結果及びテスト部で接触したソケット番号の通過情報等を記憶させると共に、この格納情報記憶手段に記憶した格納情報を外部に供給する情報供給手段を付設した構成とした IC 試験システムを提供するものである。

【0023】 この請求項 1 で提案した IC 試験システムの構成によれば格納情報記憶手段に記憶した格納情報を利用することによりハンドラから持ち出された汎用トレイ上の IC を、IC 試験装置の外部でも管理することができる。よって例えばハンドラとは別に設けた分類専用機で IC の分類を実行することができる。このように分類専用機において格納情報を利用した場合はテスト用のハンドラでは分類作業を行わずに、単にテストトレイから汎用トレイに IC を搬出すればよいから、高速に IC を積み替えることができる。特にカテゴリー毎に分類しなくて済むため、不足したカテゴリー用の汎用トレイをアンローダ部に呼び出さなくて済むから、この点でも処理速度を高めることができる。

【0024】 この発明の請求項 2 で提案する IC 試験システムでは請求項 1 で提案した IC 試験システムにおいて、格納情報記憶手段に格納情報を書き込むタイミングを、試験済 IC を汎用トレイに格納する毎のタイミングに規定した点を請求するものである。この発明の請求項 3 では請求項 1 で提案した IC 試験システムにおいて、試験済 IC を汎用トレイに格納する際に試験結果に従って最小限である良品と不良品とに分類する機能を付加した点を請求するものである。

【0025】 この発明の請求項 4 では請求項 2 で規定した IC 試験システムにおいて、試験済 IC を汎用トレイに格納する際に試験結果に従って最小限である良品と不良品に分類する機能を付加した点を請求するものである。この発明の請求項 5 では請求項 1 乃至 4 記載の IC 試験システムの何れかにおいて、IC を汎用トレイからテストトレイに積み替えてテスト部に搬送する構造のハンドラを適用した IC 試験システムを請求するものである。

【0026】 この発明の請求項 6 では請求項 1 乃至 4 記載の IC 試験システムの何れかにおいて、IC を真空吸着手段で吸着し、この真空吸着手段を水平搬送手段で水平方向に移動させて IC を搬送する構造のハンドラを適用した IC 試験システムを請求するものである。この発明の請求項 7 では請求項 1 乃至 6 の IC 試験システムの何れかにおいて、試験条件が異なる IC 試験装置を複数並設し、各 IC 試験装置で試験が終了する毎に各被試験 IC の格納情報を格納情報記憶手段に記憶させる IC 試験システムを請求するものである。

## 【0027】

【発明の実施の形態】 図 1 にこの発明で提案する IC 試

験システムの一実施例を示す。図中 A, B, C は IC テストステーションを示す。各 IC テストステーション A, B, C は IC 試験装置本体 10 と、ハンドラ 11 とによって構成される。各 IC 試験装置本体 10 はホストコンピュータ 12 の管理下におかれて制御される。図示した例では各 IC 試験装置本体 10 に 1 台のハンドラ 11 を接続した状態を示すが、現実には 1 台の試験装置本体 10 に 2 台のハンドラ 11 が接続されて IC テストステーション A, B, C が構成される。

【0028】この実施例ではホストコンピュータ 12 に格納情報記憶手段 14 を設けた場合を示すが IC 試験装置本体 10 又はハンドラ 11 に設けることもできる。この格納情報記憶手段 14 には各ハンドラ 11 において、テスト済の IC を汎用トレイ KST に格納する毎に、その各 IC に割当てたシリアル番号、汎用トレイ KST に付した識別番号、各格納場所に対応して割付けた番号等によって決められるアドレスに IC の試験結果を全て記憶させる。試験結果としては試験の条件、良品の中の例えば高速、中速、低速の分類、不良の中の再テストの要否、試験時に接触したテストヘッドのソケット番号（IC 試験装置内の通過情報）等を記憶させる。この記憶させる格納情報はこの実施例では IC 試験装置 10 を経由して例えばコンピュータ間における GPIB 通信ポート或は RS232C 通信ポート等の通信手段 15 によりホストコンピュータ 12 に送り込まれ、格納情報記憶手段 14 に記憶させる。

【0029】格納情報記憶手段 14 はメモリで構成することができる。格納情報記憶手段 14 に記憶した格納情報は例えば各 IC テストステーション A, B, C の別にフロッピーディスク、磁気テープ、CD-ROM、IC カード等の記憶媒体に記憶させて他の装置、例えば分類専用機或は他のテストステーションに供給するか、又は通信手段 15 を利用して分類専用機或は他のテストステーションのような他の装置に転送することができる。

【0030】図 2 はこの発明の請求項 3、4、7 で提案した IC 試験システムの実施例を示す。この発明の請求項 3、4、7 で提案した IC 試験システムでは各 IC テストステーション A, B, C において最小限度の良品と不良品の分類を行なわせると共に、各 IC テストステーション A, B, C は例えば試験の条件が異ならされて IC を試験する。試験の条件としては例えば被試験 IC に与える温度の違い或は動作電圧の違い等が上げられる。

【0031】IC テストステーション A では被試験 IC を全量試験する。被試験 IC は IC 収納部となる汎用トレイ KST に収納されてハンドラ 11 に与えられ、テストトレイ TST に積み替えられ、テストチャンバに送られてテストされる。テストトレイに搭載されている IC の全てのテストが終了すると、テストトレイはテストチャンバから搬出され、除熱槽で除熱されてチャンバーの外に排出される。チャンバーの外に排出されたテスト

レイ上の IC はアンローダ部で先に示した汎用トレイ KST に移し替えられる。この移し替えを行なう際に、この発明の請求項 3 と 4 では汎用トレイ KST を少なくとも 2 枚用意し、良品と不良品に分類する。

【0032】全ての IC が汎用トレイ KST に戻されると、汎用トレイは次の IC テストステーション B に移される。IC テストステーション B には良品を格納した汎用トレイ KST だけを与え、良品と判定された IC だけを試験する。IC テストステーション B で不良品が発生した場合はその不良の IC は不良用の汎用トレイに格納する。

【0033】IC テストステーション A で良品と判定された IC が IC テストステーション B で全て試験され、全ての汎用トレイ KST に IC が戻されると、良品を格納した汎用トレイを次の IC テストステーション C に移す。IC テストステーション C では IC テストステーション B で良品と判定された IC だけを試験し、その試験結果を各汎用トレイ KST の IC 毎にホストコンピュータ 12 に設けた格納情報記憶手段 14 に記憶する。IC テストステーション C で不良品が発生すると、その不良の IC は不良の IC を収納した汎用トレイ KST に収納される。

【0034】尚、図 1 及び図 2 に示した例では IC テストステーションを A, B, C の 3 組設けた例を示したが、IC テストステーションの組数に制限はない。また、図 1 及び図 2 に示した IC 試験システムにおいてハンドラ 11 は従来技術で説明した型式①のハンドラと、型式②のハンドラのどちらの型式のハンドラを適用してもよい。

【0035】

【発明の効果】以上説明したように、この発明によれば汎用トレイに格納した試験済 IC は各汎用トレイ内の各格納位置毎に格納情報が記憶され、この格納情報を自由に記憶媒体に記憶したデータ或は電気信号として外部に供給できるから、この格納情報を利用することにより汎用トレイに格納された試験済 IC をハンドラ以外の装置でも管理することができる。

【0036】この結果例えば分類専用機で汎用トレイ上の IC を試験結果に従って細分類する等の利用が考えられる。また試験結果の中にテスト部で接触したソケット番号（試験装置内の通過情報）を記憶したから、特定のソケットに接触した IC に不良が集中して発生した場合は、ソケットが不良になっていることが多い。従って、テスト部におけるソケットの不良を検出できる利点が見られる。

【0037】更に、テスト終了後でも汎用トレイ KST 上の各 IC 毎に格納情報を提供できるから、汎用トレイに格納された状態であっても各 IC に関してテストの経歴を知ることができる利点が見られる。

【図面の簡単な説明】



【図1】この発明の請求項1の実施例を示すブロック図。

【図2】この発明の請求項2の実施例を示すブロック図。

【図3】従来のテストトレイを用いる型式のハンドラを説明するための略線的平面図。

【図4】図3のハンドラの構成を説明するための斜視図。

【図5】図3及び図4に示したハンドラに用いるテストトレイの構造を説明するための斜視図。

【図6】図5に示したテストトレイのIC収納部分を説明するための斜視図。

【図7】図6に示したIC収納部にICを収納し、テスト部でICをテストヘッドに接触させた状態を説明する\*

\*ための図。

【図8】テストトレイに収納したICのテスト順序を説明するための平面図。

【図9】図3及び図4に示したハンドラの汎用トレイを収納するストックの構造を説明するための斜視図。

【符号の説明】

A, B, C ICテストステーション

10 IC試験装置本体

11 ハンドラ

12 ホストコンピュータ

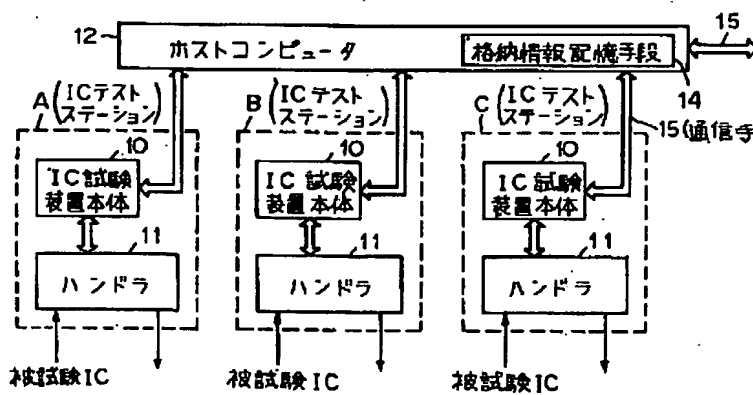
13 分類専用機

14 格納情報記憶手段

TST テストトレイ

KST 汎用トレイ

【図1】



【図6】

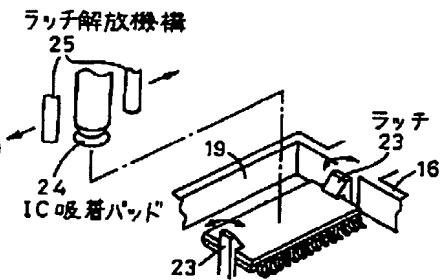


図6

図1

【図7】

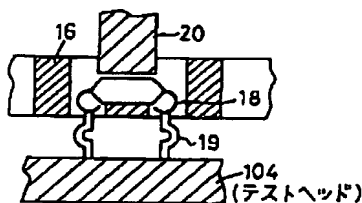


図7

【図8】

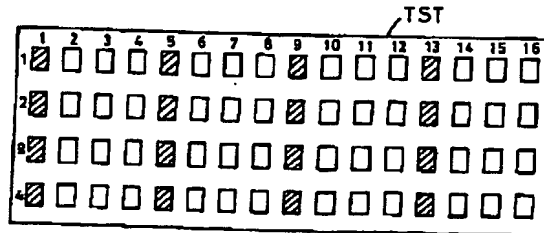


図8

【図2】

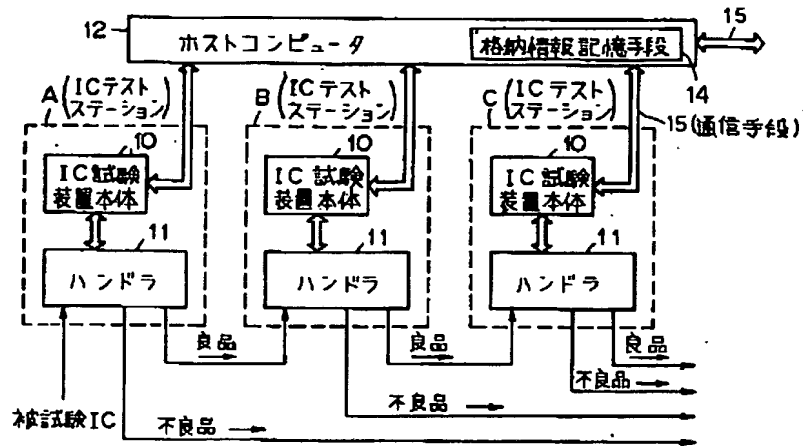


図2

【図9】

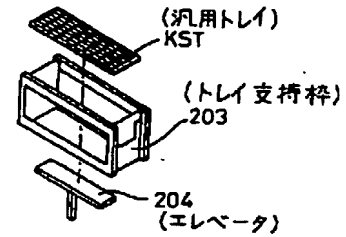


図9

【図3】

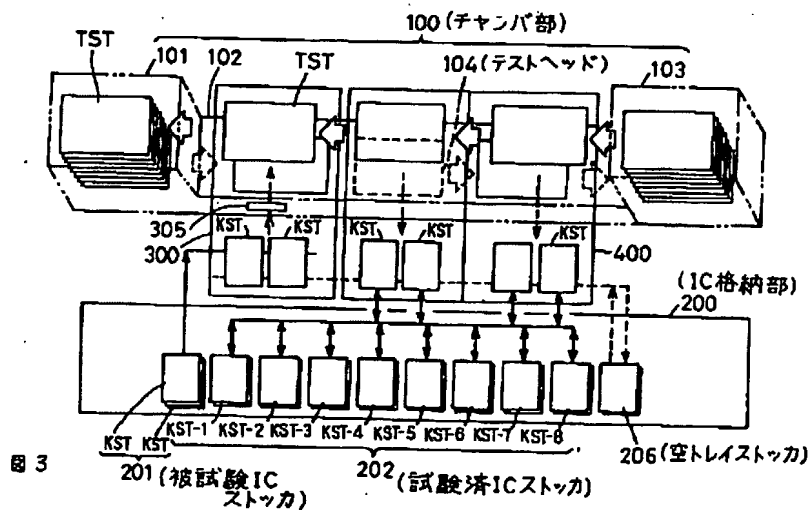


図3

図 5

12 TST (テストトレイ)

12a キャリア収納部

12b IC収容部

13

14

15

16 ICキャリア

17

19 IC

21

22

(72)発明者 池田 浩樹  
東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内